

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-300700

(43)Date of publication of application : 07.12.1988

(51)Int.Cl.

H04R 3/14

(21)Application number : 62-135547

(71)Applicant : AKAI ELECTRIC CO LTD

(22)Date of filing : 30.05.1987

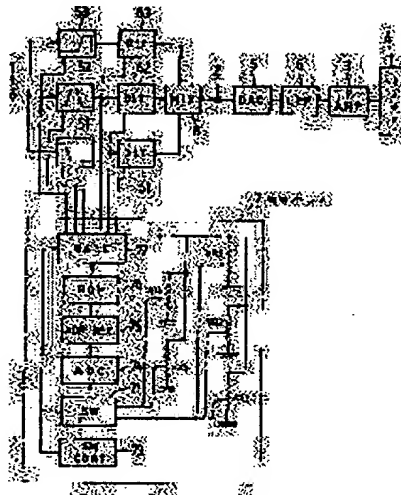
(72)Inventor : SATO MASATO

(54) TIME DIFFERENCE CORRECTING DEVICE FOR AUDIO SYSTEM

(57)Abstract:

PURPOSE: To prevent an arrival difference in sound by providing plural delay circuits for each split frequency band and adjusting the delay time of each delay circuit in response to the arrangement of speakers thereby allowing sound waves from the speakers to arrive at a listener at the same time.

CONSTITUTION: An inputted digital audio signal is inputted in parallel with filters 51, 52, 53 consisting of band split circuits and split into frequency bands by the characteristic of each filter. The signal subjected to band split is given to digital delay circuits DLY 61, 62, 63, and retarded by a delay time decided by the signal from a control block 7 and sent to a digital synthesis circuit MIX 8. the MIX 8 combines the signal inputted in parallel into one channel signal and sends it to the next stage. A D/A converter DAC 5 converts the input into an analog signal to eliminate excess frequency components caused by the conversion at the LPF 6, the result is amplified by a power amplifier P, AMP3 and outputted to a speaker system 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑤ Int. Cl.⁴

H 04 R 3/14

識別記号

庁内整理番号

8524-5D

⑬ 公開 昭和63年(1988)12月7日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 オーディオシステムの時間差補正装置

⑮ 特 願 昭62-135547

⑯ 出 願 昭62(1987)5月30日

⑰ 発 明 者 佐 藤 正 人 東京都大田区東糀谷2丁目12番14号 赤井電機株式会社内
⑱ 出 願 人 赤井電機株式会社 東京都大田区東糀谷2丁目12番14号
⑲ 代 理 人 弁理士 大 澤 敬

明 細 書

1. 発明の名称

オーディオシステムの時間差補正装置

2. 特許請求の範囲

1 オーディオ信号の周波数帯域に応じて周波数特性の異なる複数のスピーカを設けたオーディオシステムにおいて、

オーディオ信号を前記各スピーカの特性に応じた複数の周波数帯域に分割する帯域分割回路と、該帯域分割回路によつて分割された周波数帯域ごとにそのオーディオ信号を遅延させる複数の遅延回路と、前記各スピーカの配置に応じてこの各遅延回路の遅延時間を調整するための遅延時間調整手段とを設けたことを特徴とする時間差補正装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はオーディオシステム、特にマルチスピーカ用のオーディオシステムにおける時間差補正装置に関する。

〔発明の概要〕

この発明は、オーディオ信号の周波数帯域に応じて特性の異なるスピーカを設けたオーディオシステムにおいて、オーディオ信号を各スピーカの特性に応じた複数の周波数帯域に分割してその各帯域ごとに遅延回路を設け、その各遅延回路の遅延時間を各スピーカの配置に応じて調整することにより、各スピーカから聴者までの音波の到達時間差を補正して、音ずれや各スピーカ間の干渉による周波数特性の乱れを防止し得るようにしたものである。

〔従来の技術〕

一般に、スピーカ単体の再生可能音域は人間の可聴音域(20Hz~20KHz)に比べて狭い。低周波音(以下「低音」という)を能率よく再生するためには大きな振動板が必要であるが、そのような振動板で高周波音(以下「高音」という)を再生すると、ピストン運動が不安定になつて分割振動を生じ、音が干渉し合つて周波数特性が平坦でなく乱れたものになる。

また、仮に周波数特性が平坦であつたとしても、

高音と低音を同時に再生すると、高音が低音で変調されて音が濁るドブラー歪（混変調歪の一種）を避けることは出来ない。

従来からこれ等の欠点を解決し、歪が少なく、広く平坦な周波数特性を得る方法として、オーディオ信号の周波数帯域に応じてそれぞれ周波数特性の異なる複数のスピーカで分担して再生するマルチスピーカシステムがあつた。

例えば第5図に示すように、パワーアンプ（PAMP）3からの出力を低音域、中音域及び高音域に分割する分割回路（DN）40と、その分割された出力のうち各々低音域を再生する大口径のスピーカ（以下「ウーファ」ともいう）41と、中音域を再生する中口径のスピーカ（以下「スコーク」ともいう）42と、高音域を再生する小口径のスピーカ（以下「トウィータ」ともいう）43とからなる3ウェイのスピーカシステム（SPシステム）4がある。

第6図は、分割回路40により各帯域に分割された信号の周波数特性の例を示す説明図であり、

L, M, Hはそれぞれ低音域、中音域、高音域の特性曲線である。この図中、相隣る特性曲線の交点 P_1 , P_2 はクロスオーバー点、各交点に対応する周波数 f_1 , f_2 はクロスオーバー周波数である。（発明が解決しようとする問題点）

このようなマルチスピーカシステムにおいて、第7図に示すように、3個のスピーカ41, 42, 43の音源中心41c, 42c, 43cがそれぞれ聴者45から等距離、すなわち聴者45を中心とした同一円弧上あるいは同一球面上にある時は、各スピーカからの音波 S_u , S_s , S_t は、聴者45へ同時に到達するので問題はない。

しかしながら、一般に第8図に示すように、これらのスピーカ41, 42, 43は一枚のパツフル板46、あるいは同じスピーカボックスの前面板に取付けられることが多い。この場合は、スピーカ41, 42, 43の音源中心41c, 42c, 43cが聴者45から等距離にはないので、音波 S_u , S_s , S_t の聴者45への到達時刻がずれてくる。

- 3 -

また、第9図に示すようにホーンスピーカを用いたスピーカシステムでは、ウーファ41hとスコーク42hとトウィータ43hとは、一般にホーンの長さが著しく異なるので、各スピーカからの音波 S_u , S_s , S_t の聴者45への到達時間差が大きくなる場合が多い。

このように到達時間に差があると、音ずれや音の位相ずれを生じ、特に第6図に示したクロスオーバー点 P_1 , P_2 の付近では、到達時間の差がクロスオーバー周波数 f_1 , f_2 の半周期のほぼ奇数倍になった時に音波の干渉が起きて、第6図に破線で示したように合成音の周波数特性に谷を生ずる。

特にステレオ再生の場合、中音域にこのような音ずれや周波数特性の谷があると、音源の定位に大きな影響が現れるという問題点があつた。

この発明は、このような問題点を解決することを目的とする。

〔問題点を解決するための手段〕

この発明は、上記のようなマルチスピーカ用の

- 4 -

オーディオシステムにおいて、上記のような問題点を解決するため、オーディオ信号を各スピーカの特性に応じた複数の周波数帯域分割する帯域分割回路と、それによつて分割された周波数帯域ごとにそのオーディオ信号を遅延させる複数の遅延回路と、各スピーカの配置に応じてその各遅延回路の遅延時間を調整するための遅延時間調整手段とを設けたものである。

〔作用〕

この時間差補正回路を上記のようなオーディオシステムのオーディオ信号処理系に介挿し、各遅延回路の遅延時間を各スピーカの配置に応じて調整することにより、各スピーカからの音波が同時に聴者に到達するようになり、音ずれや音の干渉をなくすることが出来る。

〔実施例〕

以下、添付図面を参照して、この発明の実施例を説明する。

第1図乃至第3図はデジタルオーディオシステムの信号処理回路中に、第4図はアナログオーデ

イオシステムの信号処理回路中に、それぞれこの発明による時間差補正装置を設けた実施例のブロック図であり、1はオーディオ信号の入力端子、2は出力端子である。

第1図に示す第1実施例において、入力されたデジタルオーディオ信号は、帯域分割回路を構成するデジタルローパスフィルタ（以下「デジタルLPF」ともいう）51、デジタルバンドパスフィルタ（以下「デジタルBPF」ともいう）52、デジタルハイパスフィルタ（以下「デジタルHPF」ともいう）53にそれぞれ並列に入力し、各フィルタの特性による周波数帯域に分割される。

これらの各フィルタによって帯域分割された3チャンネルのデジタルオーディオ信号は、それぞれ各デジタル遅延回路(DLY)61、62、63に入力し、制御ブロック(CONT BLK)7からの信号により各々決定される遅延時間だけ遅延されて、デジタル合成回路(MIX)8に送られる。

デジタル合成回路8は、並列に入力される3チ

ャンネルの信号を再び1チャンネルのデジタルオーディオ信号に合成して、出力端子2から次段に出力する。

出力端子2から出力されたデジタルオーディオ信号は、デジタル・アナログコンバータ(DAC)5によってアナログオーディオ信号に変換された後、ローパスフィルタ(LPF)6を通つて変換により生じた余分な周波数成分が除去され、パワーアンプ3によって増幅されてスピーカシステム4に出力される。

制御ブロック7は、上記各デジタルフィルタ51、52、53の周波数帯域と、各デジタル遅延回路61、62、63の遅延時間とを指示するデジタル信号を出力する回路ブロックであり、遅延時間調整手段の機能を有し、これらのデジタル信号は可変抵抗VR1~VR5の設定値によって決定される。

可変抵抗VR1、VR2、VR3は、それぞれデジタル遅延回路61、62、63の遅延時間を調整するものである。可変抵抗VR4はデジタル

- 7 -

BPF52の低域側とデジタルLPF51の遮断周波数を、可変抵抗VR5はデジタルBPF52の高域側とデジタルHPF53の遮断周波数をそれぞれ決定する。

スイッチ(SW)71とゲート(GATE)72は、スイッチコントローラ(SW CONT)73からのクロックにより同期作動して、各デジタルフィルタ51~53及びデジタル遅延回路61~63に必要な信号を送り出すようになっている。

スイッチ71が可変抵抗VR1~VR5のうち或る1ヶを選択すると、その設定値(アナログ)はアナログ・デジタルコンバータ(ADC)74によってデジタル化され、アドレスレコーダ(ADR. REC)75に送られる。アドレスレコーダ75はメモリ(ROM)76から入力されたデジタル信号に応じたコード情報を読出し、ゲート72を通してスイッチ71が選択した可変抵抗に対応する回路に送り出す。

このようにして、可変抵抗VR1~VR3により、各帯域を分担するスピーカの配置に応じて各

- 8 -

チャンネルの遅延時間を調整し、音波の到達時間差を0にすることが出来る。可変抵抗VR1、VR2は、デジタルフィルタ51~53の通過帯域を各スピーカの分担帯域に合せることにより、各スピーカと各遅延回路とのマッチングをとるために設けられている。

各チャンネルの遅延時間は相対的なものであり、最も離れたスピーカに対応するチャンネルの遅延時間は0にすればよいから、例えば第9図に示したホーンスピーカシステムのウーファ41hのように、音源中心が最も離れたスピーカが予め分っている場合は、そのスピーカに対応するチャンネルの遅延回路を省略することが出来る。以下の実施例においても同様である。

第2図に示す第2実施例は、第1図に示した第1実施例においてウーファ41専用のアンプ系を別に設けたものであり、同一部分には同一符号を付して説明を省略する。

それぞれデジタル遅延回路61~63によって遅延された3チャンネルのデジタルオーディオ信

号のうち、デジタル遅延回路61から出力される低音域のデジタルオーディオ信号は、出力端子2aからデジタル・アナログコンバータ5a、ローパスフィルタ6a及びパワーアンプ3aを経てウーファ41を駆動する。

他の2チャンネル、すなわちデジタル遅延回路62、63によつて遅延された中音域と高音域のデジタルオーディオ信号は、デジタル合成回路8により1チャンネルのデジタルオーディオ信号に合成された後、出力端子2bからデジタル・アナログコンバータ5b、ローパスフィルタ6b及びパワーアンプ3bを経て、スピーカシステム4のスコカとトウィータを駆動するようになっている。

同様に、トウィータ専用のアンプ系をウーファ、スコカ兼用のアンプ系と別に設けたとしても、この発明を同様に実施することができる。

第3図に示す第3実施例は、第2図に示した第2実施例から更にスコカ42とトウィータ43に対してもそれぞれに専用アンプ系を設けたもの

であり、同一部分には同一符号を付してある。

この場合は、デジタル合成回路が不要になり、帯域分割された3チャンネルのデジタルオーディオ信号は、それぞれデジタル遅延回路61、62、63によつて遅延された後、それぞれ各出力端子2a、2b、2cを経て、デジタル・アナログコンバータ5a、5b、5cとローパスフィルタ6a、6b、6cとパワーアンプ3a、3b、3cとからなる各々専用のアンプ系によつて増幅され、ウーファ41、スコカ42、トウィータ43をそれぞれ駆動するようになっている。

このように、各スピーカが独立した専用のアンプ系に接続されている場合でも、マルチスピーカシステムであることに変わりはない。

第4図に示す第4実施例は、アナログオーディオソースからの信号あるいはデジタルオーディオ信号をデジタル・アナログコンバータとローパスフィルタによりアナログ信号に変換した後、時間差補正を行なうようにした例である。

入力端子1から入力するアナログオーディオ信

- 11 -

号は、バッファアンプ(BUF AMP)9を通過してから、フィルタ55~57によつて周波数帯域別に3チャンネルに分割される。

ローパスフィルタ55を通過した低音域信号、バンドパスフィルタ56を通過した中音域信号及びハイパスフィルタ57を通過した高音域信号は、それぞれ例えばBBD素子のようなアナログ遅延素子よりなる遅延時間を変えることの出来るアナログ遅延回路(ADLY)65、66、67により遅延された後、アナログ合成回路(AMIX)10に入力する。

そして、このアナログ合成回路10によつて再び1チャンネルのアナログオーディオ信号に合成された後、出力端子2からパワーアンプ3に入力して増幅され、スピーカシステム4の各帯域用のスピーカを駆動する。

可変抵抗VR1、VR2、VR3はそれぞれアナログ遅延回路65、66、67の遅延時間を調整するものである。

また、VR4'はローパスフィルタ55の遮断

- 12 -

周波数とバンドパスフィルタ56の低域側を、VR5'はバンドパスフィルタ56の高域側とハイパスフィルタ57の遮断周波数を、それぞれ各スピーカの特性に合せて連動して調整するための連動可変抵抗器であるが、設計によつてはそれぞれ独立に調整できるようにしてもよい。

このようなアナログオーディオシステムにおいても、第2図、第3図に示したデジタルオーディオシステムの例のように、各周波数帯域ごとに専用のアンプ系を設ける場合もあるが、その場合にもこの発明を適用し得ることは勿論である。

以上、ウーファとスコカ及びトウィータよりなる3ウェイのスピーカシステムに対する実施例について説明したが、ウーファとトウィータよりなる2ウェイのスピーカシステム、あるいは3ウェイのスピーカシステムに重低音用のサブウーファを加えた4ウェイのスピーカシステム等の場合でも、帯域分割用のフィルタと遅延回路及びその遅延時間調整用の可変抵抗を増減すればよい。

(発明の効果)

- 13 -

—580—

- 14 -

以上説明したように、この発明による時間差補正装置を用いれば、マルチスピーカ用オーディオシステムにおいて、各スピーカの配置による音波の到達時間差を無くすることが出来る。

4. 図面の簡単な説明

第1図乃至第3図はそれぞれこの発明をデジタルオーディオシステムに適用した第1乃至第3実施例を示す各ブロック図。

第4図はこの発明をアナログオーディオシステムに適用した第4実施例を示すブロック図。

第5図はマルチスピーカシステムの一例を示すブロック図。

第6図は3ウェイスピーカシステムにおける各スピーカの再生音域と総合音場レベルの一例を示す説明図。

第7図乃至第9図はそれぞれ3ウェイスピーカシステムの各スピーカの配置とその音波の進行状態の異なる例を示すモデル図である。

1…入力端子

2, 2a, 2b, 2c…出力端子

3, 3a, 3b, 3c…パワーアンプ

4…スピーカシステム

41…ウーファ 42…スコーカ

43…トウィータ

5, 5a, 5b, 5c…デジタル・アナログコンバータ

6, 6a, 6b, 6c…ローパスフィルタ

7…制御ブロック (遅延時間調整手段)

8…デジタル合成回路

9…パツファアンプ 10…アナログ合成回路

51~53…デジタルフィルタ (帯域分割回路)

61~63…デジタル遅延回路

55~57…アナログフィルタ (帯域分割回路)

65~67…アナログ遅延回路

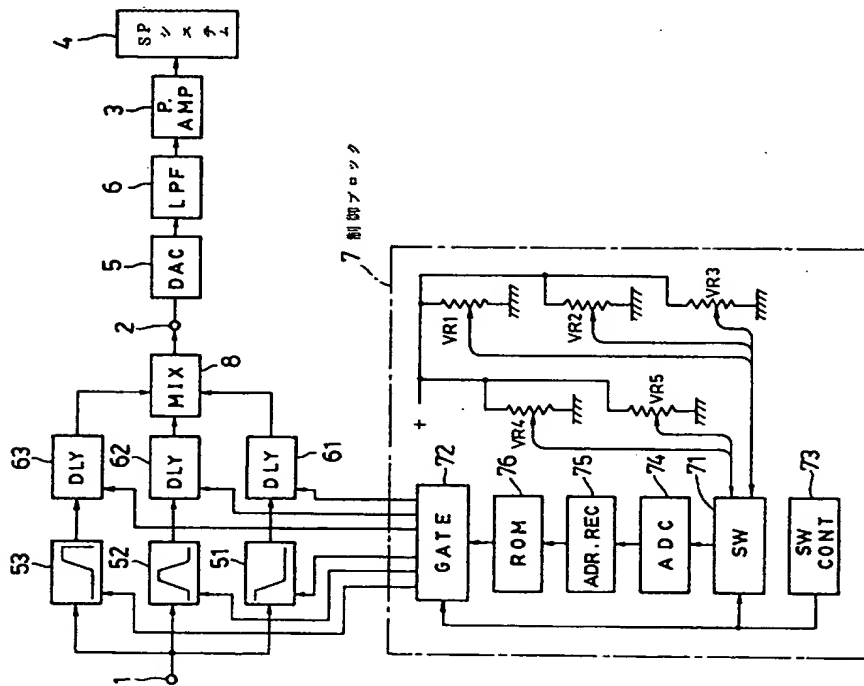
VR1~VR5…可変抵抗

出願人 赤井電機株式会社

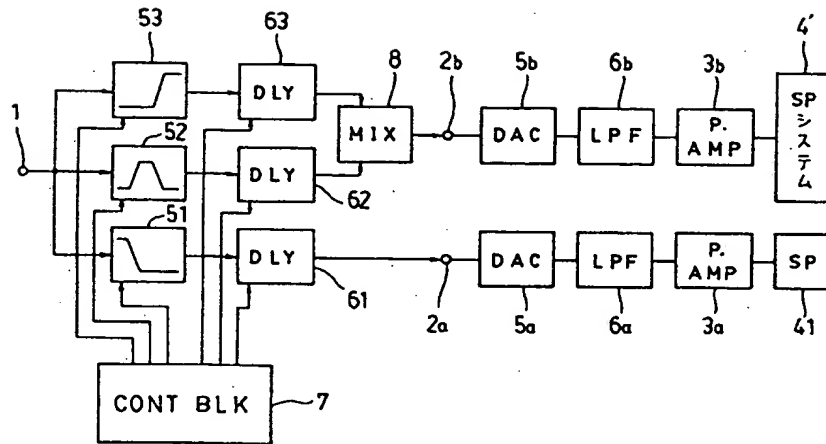
代理人 井理士 大 澤 敬



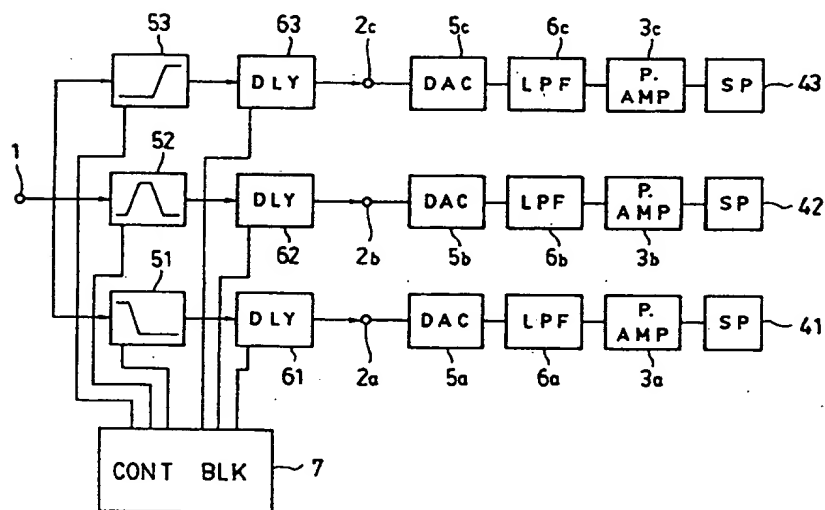
第1図



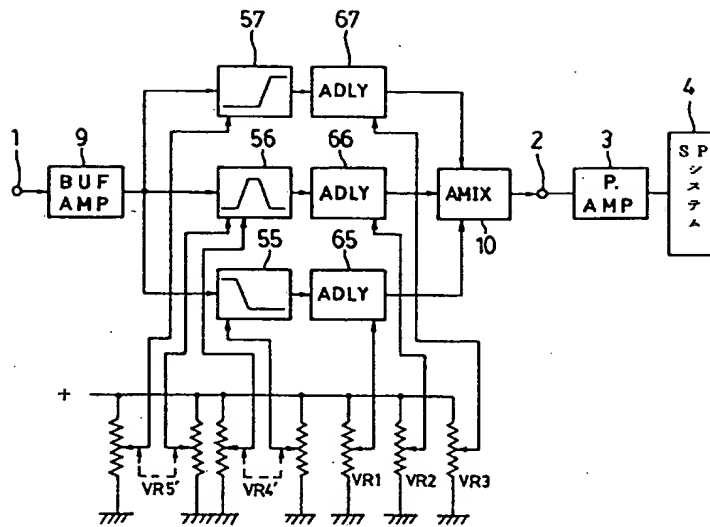
第 2 図



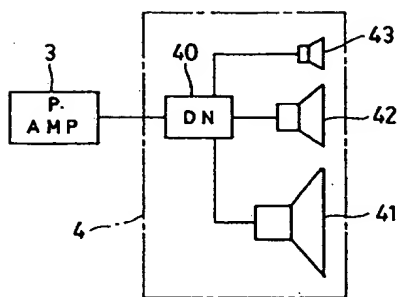
第 3 図



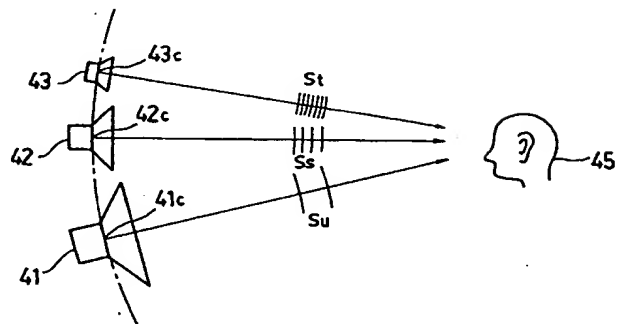
第 4 図



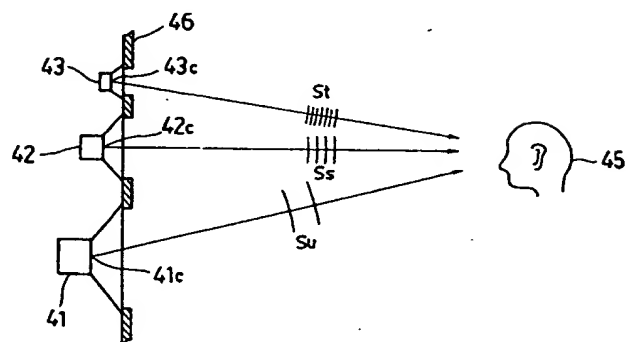
第 5 図



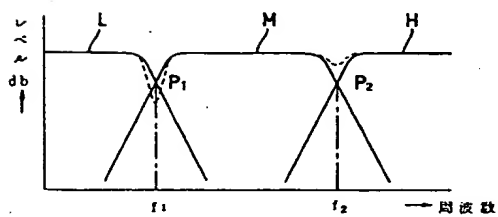
第 7 图



第 8 圖



第 6 図



第 9 図

